

Docket No.: 60188-579

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of :  
:   
Masahiro IMADE, et al. :  
:   
Serial No.: : Group Art Unit:  
:   
Filed: July 15, 2003 : Examiner:  
:   
For: SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

**Japanese Patent Application No. 2003-038113, filed February 17, 2003**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT WILL & EMERY

  
Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:mcw  
Facsimile: (202) 756-8087  
**Date: July 15, 2003**

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

60188-579

IMADE et al.

July 15, 2003.

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 2月17日

出 願 番 号

Application Number:

特願2003-038113

[ ST.10/C ]:

[ JP2003-038113 ]

出 願 人

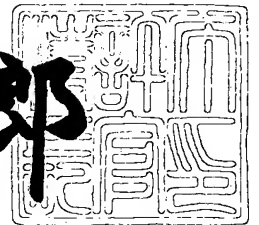
Applicant(s):

松下電器産業株式会社

2003年 4月25日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3030405

【書類名】 特許願  
 【整理番号】 2926440098  
 【提出日】 平成15年 2月17日  
 【あて先】 特許庁長官 殿  
 【国際特許分類】 H01L 27/04  
 H01L 21/822

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 今出 昌宏

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 海本 博之

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 宮田 里江

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【選任した代理人】

【識別番号】 100117581

【弁理士】

【氏名又は名称】 二宮 克也

【選任した代理人】

【識別番号】 100117710

【弁理士】

【氏名又は名称】 原田 智雄

【選任した代理人】

【識別番号】 100121500

【弁理士】

【氏名又は名称】 後藤 高志

【選任した代理人】

【識別番号】 100121728

【弁理士】

【氏名又は名称】 井関 勝守

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体層と、

上記半導体層内に設けられたソース領域と、

上記半導体層内に、上記ソース領域と離間して設けられたドレイン領域と、

上記半導体層の上に設けられたゲート絶縁膜と、

上記ゲート絶縁膜の上に設けられたゲート電極と、

上記半導体層の上に設けられ、上記ゲート電極を覆う第 1 の層間絶縁膜と、

上記第 1 の層間絶縁膜の上に設けられ、上記ゲート電極と電氣的に接続された第 1 のゲート配線と、

上記第 1 の層間絶縁膜の上に設けられ、上記ドレイン領域と電氣的に接続された第 1 のドレイン配線と、

上記第 1 の層間絶縁膜の上に設けられ、上記第 1 のゲート配線および上記第 1 のドレイン配線を覆う第 2 の層間絶縁膜とを備え、

上記第 1 のドレイン配線のうちの一部と上記第 1 のゲート配線のうちの一部とは、上記第 2 の層間絶縁膜の一部を挟んでゲート幅方向に相対向して延びていることを特徴とする半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置において、

上記第 2 の層間絶縁膜の上に設けられ、上記第 1 のドレイン配線と電氣的に接続された第 2 のドレイン配線をさらに備えていることを特徴とする半導体装置。

【請求項 3】 請求項 2 に記載の半導体装置において、

上記第 1 のドレイン配線および上記第 1 のゲート配線の膜厚は、上記第 2 のドレイン配線よりも厚く設けられていることを特徴とする半導体装置。

【請求項 4】 請求項 2 または 3 に記載の半導体装置において、

上記第 2 の層間絶縁膜のうち上記第 1 のドレイン配線のうちの一部と上記第 1 のゲート配線のうちの一部とによって挟まれる部分の物質は、高誘電体であることを特徴とする半導体装置。

【請求項 5】 請求項 4 に記載の半導体装置において、

上記高誘電体は、シリコン窒化物であることを特徴とする半導体装置。

【請求項 6】 請求項 2～5 のうちいずれか 1 つに記載の半導体装置において、

上記第 2 の層間絶縁膜の上に設けられ、上記第 1 のゲート配線と電氣的に接続される第 2 のゲート配線と、

上記第 2 の層間絶縁膜の上に設けられ、上記第 2 のドレイン配線と上記第 2 のゲート配線とを覆う第 3 の層間絶縁膜とをさらに備え、

上記第 2 のドレイン配線のうちの一部と上記第 2 のゲート配線のうちの一部とは、相対向して延びていることを特徴とする半導体装置。

【請求項 7】 請求項 6 に記載の半導体装置において、

上記第 3 の層間絶縁膜のうち上記第 2 のドレイン配線のうちの一部と上記第 2 のゲート配線のうちの一部とによって挟まれる部分の物質は、高誘電体であることを特徴とする半導体装置。

【請求項 8】 請求項 7 に記載の半導体装置において、

上記高誘電体は、シリコン窒化物であることを特徴とする半導体装置。

【請求項 9】 請求項 1～8 のうちいずれか 1 つに記載の半導体装置において、

上記第 1 の層間絶縁膜の上に設けられ、上記ソース領域に電氣的に接続された第 1 のソース配線をさらに備え、

上記第 1 のドレイン配線と上記第 1 のゲート配線との間隔よりも、上記第 1 のソース配線と上記第 1 のゲート配線との間隔の方が広いことを特徴とする半導体装置。

【請求項 10】 請求項 1～9 のうちいずれか 1 つに記載の半導体装置において、

上記ドレイン領域は、内部回路と、上記内部回路に信号を入力することができる入出力端子とに電氣的に接続されることを特徴とする半導体装置。

【請求項 11】 請求項 1～10 のうちいずれか 1 つに記載の半導体装置において、

上記ゲート電極は、抵抗と電氣的に接続されていることを特徴とする半導体装

置。

【請求項 1 2】 半導体層の上にゲート絶縁膜を介してゲート電極を形成する工程（a）と、

上記半導体層の中に、ソース領域およびド레인領域を形成する工程（b）と、

上記工程（b）の後に、上記半導体層の上方に、第 1 の層間絶縁膜を形成する工程（c）と、

上記第 1 の層間絶縁膜の上に、上記ゲート電極と電氣的に接続される第 1 のゲート配線を形成する工程（d）と、

上記第 1 の層間絶縁膜の上に、上記ド레인領域と電氣的に接続される第 1 のド레인配線を、一部がゲート幅方向で上記第 1 のゲート配線の一部と相対向するように形成する工程（e）と、

上記第 1 の層間絶縁膜の上に、上記第 1 のゲート配線および上記第 1 のド레인配線を覆う第 2 の層間絶縁膜を形成する工程（f）と  
を備える半導体装置の製造方法。

【請求項 1 3】 請求項 1 2 に記載の半導体装置の製造方法において、

上記第 2 の層間絶縁膜の上に、上記第 1 のド레인配線と電氣的に接続される第 2 のド레인配線を形成する工程（g）をさらに備えることを特徴とする半導体装置の製造方法。

【請求項 1 4】 請求項 1 3 に記載の半導体装置の製造方法において、

上記第 1 のド레인配線および上記第 1 のゲート配線の膜厚を、上記第 2 のド레인配線よりも厚く形成することを特徴とする半導体装置の製造方法。

【請求項 1 5】 請求項 1 3 または 1 4 に記載の半導体装置の製造方法において、

上記第 2 の層間絶縁膜の上に、上記第 1 のゲート配線と電氣的に接続される第 2 のゲート配線を、一部が上記第 2 のド레인配線の一部と相対向するように形成する工程（h）をさらに備えることを特徴とする半導体装置の製造方法。

【請求項 1 6】 請求項 1 5 に記載の半導体装置の製造方法において、

上記工程（h）の後に、上記第 2 の層間絶縁膜の上に、少なくとも一部が高誘



電体からなる第 3 の層間絶縁膜を形成する工程 (j) をさらに備えることを特徴とする半導体装置の製造方法。

【請求項 1 7】 請求項 1 1 ~ 1 6 のうちいずれか 1 つに記載の半導体装置の製造方法において、

上記工程 (f) では、上記第 2 の層間絶縁膜のうちの一部を高誘電体から形成することを特徴とする半導体装置の製造方法。

【請求項 1 8】 請求項 1 1 ~ 1 7 のうちいずれか 1 つに記載の半導体装置の製造方法において、

上記第 1 の層間絶縁膜の上に、上記ソース領域と電氣的に接続される第 1 のソース配線を形成する工程 (i) をさらに備え、

上記第 1 のドレイン配線と上記第 1 のゲート配線との間隔よりも、上記第 1 のソース配線と上記第 1 のゲート配線との間隔の方が広いことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に関し、特に、内部回路を静電気による破壊から保護するために用いられる半導体装置およびその製造方法に関する。

【 0 0 0 2】

【従来の技術】

半導体装置の内部回路と外部との間の信号の送受信は、入出力パッドを介して行われる。この入出力パッドから内部回路へは、内部回路を駆動させるための信号だけではなく、外部で突発的に発生する静電気も供給される。内部回路に大きな値の静電気が供給されると、内部回路内に設けられている素子が破壊されてしまう場合がある。

【 0 0 0 3】

内部回路の静電破壊を回避するために、半導体装置内における内部回路と入出力パッドとの間には、静電保護素子や、静電保護素子を有する静電保護回路が設

けられている。よく用いられる静電保護素子としては、M I S F E T のソース（S）－基板（B）－ドレイン（D）から構成される寄生バイポーラトランジスタがある。

#### 【 0 0 0 4 】

以下に、静電保護素子の構成について、図 9 を参照しながら説明する。図 9 は、従来において、N P N 型の寄生バイポーラトランジスタを利用した半導体装置の構成を模式的に示す断面図である。

#### 【 0 0 0 5 】

図 9 に示すように、従来の半導体装置では、内部回路 8 1 と、半導体装置の外部と内部回路 8 1 との間の信号の送受信を可能とする入出力パッド 8 2 と、内部回路 8 1 と入出力パッド 8 2 との間に接続され、n 型 M I S F E T の構成を有する静電保護素子 8 3 とが設けられている。静電保護素子 8 3 は、半導体基板 9 0 と、半導体基板 9 0 内に互いに離間して設けられたソース領域 9 1 およびドレイン領域 9 2 と、ソース領域 9 1 の上に設けられたソース電極 9 3 と、ドレイン領域 9 2 の上に設けられたドレイン電極 9 4 と、半導体基板 9 0 の上に設けられたゲート絶縁膜 9 5 と、ゲート絶縁膜 9 5 の上に設けられたゲート電極 9 6 と、ゲート絶縁膜 9 5 の側方に設けられたサイドウォールスペーサ 9 7 と、ゲート電極 9 6 と接続される抵抗 9 8 とを有している。

#### 【 0 0 0 6 】

静電保護素子 8 3 のドレイン電極 9 4 は、内部回路 8 1 と入出力パッド 8 2 との間に接続されている。一方、ゲート電極 9 6、ソース電極 9 3 および半導体基板 9 0 は接地電位 9 9 に接続されることにより接地されている。静電保護素子 8 3 が寄生バイポーラトランジスタとして機能するときには、ドレイン領域 9 2 がコレクタ 1 0 1 となり、ソース領域 9 1 がエミッタ 1 0 0 となり、半導体基板 9 0 のうちソース領域 9 1 とドレイン領域 9 2 との間に位置する領域がベース 1 0 2 となる。なお、基板抵抗 1 0 4 は、静電保護素子 8 3 が寄生バイポーラトランジスタとして機能するときに、半導体基板 9 0 が抵抗として機能することを模式的に示すために図示している。

#### 【 0 0 0 7 】

次に、静電保護素子 8 3 の動作原理について、再び図 9 を参照しながら説明する。半導体装置の外部から入出力パッド 8 2 に、静電気による負の過剰電圧が印加された場合には、接地電位 9 9 から入出力パッド 8 2 の方向に電流が流れて、静電気が排出される。ここで流れる電流は、半導体基板 9 0 のうちの n 型のドレイン領域 9 2 と、半導体基板 9 0 のうち接地電位 9 9 と接続される p 型の領域とからなる PN 接合の順方向特性に従うことから、入出力パッド 8 2 に印加される負の過剰電圧はクランプされ、内部回路は過剰電圧から保護される。

#### 【 0 0 0 8 】

一方、入出力パッド 8 2 に正の過剰電圧が印加された場合には、静電保護素子 8 3 の動作モードが、M I S F E T からバイポーラトランジスタに切り替わる。具体的な動作について、以下に説明する。入出力パッド 8 2 からドレイン電極 9 4 に過剰な電圧が印加されると、ドレイン電極 9 4、半導体基板 9 0 およびソース電極 9 3 を介して接地電位 9 9 へ電流が流れ、静電気が排出される。ドレイン電極 9 4 への印加電圧が上昇するにつれて、N 型 M I S F E T のドレイン領域 9 2 端において衝突イオン化が促進されるので、基板電流 1 0 3 が徐々に増大する。基板抵抗 1 0 4 に基板電流 1 0 3 が流れると、電圧降下により、ベース 1 0 2 の電位が上昇する。ベース電位がある程度上昇すると、寄生バイポーラトランジスタが導通し、コレクタ 1 0 1（ドレイン領域 9 2）からエミッタ 1 0 0（ソース領域 9 1）へ大電流が流れる。このように M I S F E T としての動作モードからバイポーラトランジスタとしての動作モードに切り替わるときのドレイン印加電圧をトリガ電圧という。

#### 【 0 0 0 9 】

図 1 0 は、スナップバック特性の電圧値と電流値との関係を示すグラフ図である。静電保護素子 8 3 に流れる電流は、図 1 0 に示すようなスナップバック特性に従うため、ドレイン電極 9 4 における電圧はトリガ電圧以下に抑えられる。通常、トリガ電圧は内部回路素子の破壊電圧よりも低いため、内部回路は過剰電圧から保護される。

#### 【 0 0 1 0 】

なお、図 9 に示す抵抗 9 8 にはトリガ電圧を低下させる効果がある。その原理

について以下に説明する。一般に、M I S F E T のドレイン領域 9 2 はゲート電極 9 6 の端部とオーバーラップするように形成されているため、ゲートドレイン間には容量が存在する。この容量が形成された状態でドレイン電極 9 4 に静電気による正の過剰電圧が印加されると、容量に基づく充放電電流が、ドレイン電極 9 4 からゲート電極 9 6 および抵抗 9 8 を介して、接地電位 9 9 へ瞬間的に流れる。これにより、抵抗 9 8 による電圧降下が生じゲート電極 9 6 の電位は上昇する。ゲート電極 9 6 の電位が上昇するとドレインソース間に流れる電流が増加するので、衝突イオン化が促進される。これにより、基板電流 1 0 3 が増加するので、基板抵抗 1 0 4 による電圧降下が大きくなってベース電位が上昇する結果、寄生バイポーラトランジスタが導通しやすくなる。以上のように、抵抗 9 8 を設けることによって、静電気による正の過剰電圧が印加された瞬間のトリガ電圧を低下させることができる。

【 0 0 1 1 】

【特許文献 1】

特開平 3 - 7 3 5 6 7 号公報

【 0 0 1 2 】

【発明が解決しようとする課題】

しかしながら、従来の半導体装置においては、次のような不具合が生じていた。

【 0 0 1 3 】

一般の M I S F E T は、ホットキャリア注入によるゲート絶縁膜の劣化を抑制するために、ドレイン端での電界が緩和されるような不純物プロファイルに設計される。そのため、衝突イオン化によって発生する基板電流が小さくなり、基板抵抗により生ずる電圧降下が小さくなり、トリガ電圧が高くなり、寄生バイポーラトランジスタが導通しにくくなってしまう。

【 0 0 1 4 】

しかしながら、最近の内部回路用 M I S F E T のゲート絶縁膜は 3 n m 以下まで薄膜化しており、ゲート破壊電圧も 1 0 ボルト以下まで低電圧化してきている。

## 【 0 0 1 5 】

従って、トリガ電圧が高いと、静電気による正の過剰電圧が印加された場合に、内部回路用M I S F E Tのゲート絶縁膜に破壊電圧以上の電圧が印加され、ゲート絶縁膜破壊に至るということが起こり得る。

## 【 0 0 1 6 】

そこで、本発明は、スナップバック特性におけるトリガ電圧を効果的に低下させる手段を講ずることにより、静電保護能力の高い半導体装置およびその製造方法を提供することを目的とする。

## 【 0 0 1 7 】

## 【課題を解決するための手段】

本発明の半導体装置は、半導体層と、上記半導体層内に設けられたソース領域と、上記半導体層内に、上記ソース領域と離間して設けられたドレイン領域と、上記半導体層の上に設けられたゲート絶縁膜と、上記ゲート絶縁膜の上に設けられたゲート電極と、上記半導体層の上に設けられ、上記ゲート電極を覆う第1の層間絶縁膜と、上記第1の層間絶縁膜の上に設けられ、上記ゲート電極と電氣的に接続された第1のゲート配線と、上記第1の層間絶縁膜の上に設けられ、上記ドレイン領域と電氣的に接続された第1のドレイン配線と、上記第1の層間絶縁膜の上に設けられ、上記第1のゲート配線および上記第1のドレイン配線を覆う第2の層間絶縁膜とを備え、上記第1のドレイン配線のうちの一部と上記第1のゲート配線のうちの一部とは、上記第2の層間絶縁膜の一部を挟んでゲート幅方向に相対向して延びていることを特徴とする。

## 【 0 0 1 8 】

これにより、第1のゲート配線と第1のドレイン配線との間に容量を保持することができるので、トリガ電圧を低下することができ、寄生バイポーラトランジスタを導通しやすくすることができる。

## 【 0 0 1 9 】

上記第2の層間絶縁膜の上に設けられ、上記第1のドレイン配線と電氣的に接続された第2のドレイン配線をさらに備えていることにより、第2のドレイン配線において、ドレイン領域と半導体装置の外部の部材とを電氣的に接合すること

ができる。

【 0 0 2 0 】

上記第 1 のドレイン配線および上記第 1 のゲート配線の膜厚は、上記第 2 のドレイン配線よりも厚く設けられていることにより、より大きな値の容量を保持することができる。

【 0 0 2 1 】

上記第 2 の層間絶縁膜のうち上記第 1 のドレイン配線のうちの一部と上記第 1 のゲート配線のうちの一部とによって挟まれる部分の物質は、高誘電体であることにより、より大きな容量を保持することができる。

【 0 0 2 2 】

上記高誘電体は、シリコン窒化物であることが好ましい。

【 0 0 2 3 】

上記第 2 の層間絶縁膜の上に設けられ、上記第 1 のゲート配線と電氣的に接続される第 2 のゲート配線と、上記第 2 の層間絶縁膜の上に設けられ、上記第 2 のドレイン配線と上記第 2 のゲート配線とを覆う第 3 の層間絶縁膜とをさらに備え、上記第 2 のドレイン配線のうちの一部と上記第 2 のゲート配線のうちの一部とは、相対向して延びていることにより、より大きな容量を保持することができる。

【 0 0 2 4 】

上記第 3 の層間絶縁膜のうち上記第 2 のドレイン配線のうちの一部と上記第 2 のゲート配線のうちの一部とによって挟まれる部分の物質は、高誘電体であることにより、より大きな容量を保持することができる。

【 0 0 2 5 】

上記高誘電体は、シリコン窒化物であることが好ましい。

【 0 0 2 6 】

上記第 1 の層間絶縁膜の上に設けられ、上記ソース領域に電氣的に接続された第 1 のソース配線をさらに備え、上記第 1 のドレイン配線と上記第 1 のゲート配線との間隔よりも、上記第 1 のソース配線と上記第 1 のゲート配線との間隔の方が広いことにより、従来よりも第 1 のドレイン配線と第 1 のゲート配線との間隔

が狭くなるので、より効果的に第 1 のドレイン配線と第 1 のゲート配線との間に容量を保持することができる。

## 【 0 0 2 7 】

上記ドレイン領域は、内部回路と、上記内部回路に信号を入力することができる入出力端子とに電氣的に接続されることにより、入出力端子に静電気による過剰電圧が印加された場合でも、内部回路が破壊されるのを防止することができる。

## 【 0 0 2 8 】

上記ゲート電極は、抵抗と電氣的に接続されていることが好ましい。

## 【 0 0 2 9 】

本発明の半導体装置の製造方法は、半導体層の上にゲート絶縁膜を介してゲート電極を形成する工程（a）と、上記半導体層の中に、ソース領域およびドレイン領域を形成する工程（b）と、上記工程（b）の後に、上記半導体層の上方に、第 1 の層間絶縁膜を形成する工程（c）と、上記第 1 の層間絶縁膜の上に、上記ゲート電極と電氣的に接続される第 1 のゲート配線を形成する工程（d）と、上記第 1 の層間絶縁膜の上に、上記ドレイン領域と電氣的に接続される第 1 のドレイン配線を、一部がゲート幅方向で上記第 1 のゲート配線の一部と相対向するように形成する工程（e）と、上記第 1 の層間絶縁膜の上に、上記第 1 のゲート配線および上記第 1 のドレイン配線を覆う第 2 の層間絶縁膜を形成する工程（f）とを備える。

## 【 0 0 3 0 】

これにより、第 1 のゲート配線と第 1 のドレイン配線との間に保持される容量によってトリガ電圧が低下するために、寄生バイポーラトランジスタとして導通しやすい半導体装置を得ることができる。

## 【 0 0 3 1 】

上記第 2 の層間絶縁膜の上に、上記第 1 のドレイン配線と電氣的に接続される第 2 のドレイン配線を形成する工程（g）をさらに備えることにより、第 2 のドレイン配線によって半導体装置の外部と電氣的に接続可能な半導体装置を得ることができる。

## 【 0 0 3 2 】

上記第 1 のドレイン配線および上記第 1 のゲート配線の膜厚を、上記第 2 のドレイン配線よりも厚く形成することにより、より大きな値の容量の保持が可能となる。

## 【 0 0 3 3 】

上記第 2 の層間絶縁膜の上に、上記第 1 のゲート配線と電氣的に接続される第 2 のゲート配線を、一部が上記第 2 のドレイン配線の一部と相対向するように形成する工程（h）をさらに備えることにより、より大きな値の容量の保持が可能となる。

## 【 0 0 3 4 】

上記工程（h）の後に、上記第 2 の層間絶縁膜の上に、少なくとも一部が高誘電体からなる第 3 の層間絶縁膜を形成する工程（j）をさらに備えることにより、より大きな値の容量の保持が可能となる。

## 【 0 0 3 5 】

上記工程（f）では、上記第 2 の層間絶縁膜のうちの一部を高誘電体から形成することにより、より大きな値の容量の保持が可能となる。

## 【 0 0 3 6 】

上記第 1 の層間絶縁膜の上に、上記ソース領域と電氣的に接続される第 1 のソース配線を形成する工程（i）をさらに備え、上記第 1 のドレイン配線と上記第 1 のゲート配線との間隔よりも、上記第 1 のソース配線と上記第 1 のゲート配線との間隔の方が広いことにより、従来よりも第 1 のドレイン配線と第 1 のゲート配線との間隔が狭い半導体装置を得ることができる。

## 【 0 0 3 7 】

## 【発明の実施の形態】

## （第 1 の実施形態）

第 1 の実施形態では、第 1 のゲート配線と第 1 のドレイン配線との間に蓄積される容量を増加させることによってトリガ電圧を低下させる半導体装置およびその製造方法について説明する。

## 【 0 0 3 8 】



まず、本実施形態の半導体装置について、図 1 (a) ~ (d) を参照しながら説明する。図 1 (a) は、第 1 の実施形態において半導体装置のレイアウトを示す断面図であり、図 1 (b) は半導体基板の上面上のレイアウトを示す平面図であり、図 1 (c) は第 1 の層間絶縁膜の上に設けられた配線のレイアウトを示す平面図であり、図 1 (d) は第 2 の層間絶縁膜の上に設けられた配線のレイアウトを示す平面図である。なお、図 1 (a) に示す断面は、図 1 (b) ~ (d) における (A) - (A) 線における断面である。また、図 1 (a) ~ (d) においては、入出力パッドと内部回路の図示を省略している。

## 【 0 0 3 9 】

図 1 (a) に示すように、本実施形態の半導体装置では、半導体基板（半導体層）11 のなかに静電保護素子として N 型 MISFET 12 が設けられており、半導体基板 11 の上には、第 1 の層間絶縁膜 13、第 2 の層間絶縁膜 14 および第 3 の層間絶縁膜 15 が積層されている。

## 【 0 0 4 0 】

N 型 MISFET 12 は、半導体基板 11 の素子形成領域  $R_r$  に設けられている。N 型 MISFET 12 は、濃度  $3.5 \times 10^{17} \text{ cm}^{-3}$  の不純物を含む半導体基板 11 と、半導体基板 11 の中に互いに離間して設けられ、濃度  $4.0 \times 10^{20} \text{ cm}^{-3}$  の N 型不純物を含むソース領域 16 およびドレイン領域 17 と、半導体基板 11 のうちソース領域 16 とドレイン領域 17 とに挟まれる領域の上に設けられた、厚さ 7.5 nm のゲート絶縁膜 18 と、ゲート絶縁膜 18 の上に設けられたゲート長 40 nm のゲート電極 19 と、ゲート電極 19 の側方に設けられた絶縁物からなるサイドウォールスペーサ 20 とを備えている。N 型 MISFET 12 のゲート電極 19 およびソース領域 16 は、第 1 のコンタクトプラグ 23 を介して、第 1 の層間絶縁膜 13 の上に設けられた第 1 のゲート配線 25 および第 1 のソース配線 24 によって外部と電氣的に接続されている。N 型 MISFET 12 のドレイン領域 17 は、第 1 のコンタクトプラグ 23、第 1 のドレイン配線 26 および第 2 のコンタクトプラグ 27 および第 2 のドレイン配線 28 によって外部と電氣的に接続されている。

## 【 0 0 4 1 】

図 1 (b) に示すように、素子形成領域  $R_r$  の側方は絶縁層からなる素子分離 2 1 によって囲まれており、素子分離 2 1 の側方は、濃度  $2 \times 10^{20} \text{ cm}^{-3}$  の p 型不純物を含むガードバンド 2 2 によって囲まれている。素子形成領域  $R_r$  のうちのソース領域 1 6、ドレイン領域 1 7、ゲート電極 1 9 およびガードバンド 2 2 の上には、第 1 の層間絶縁膜 1 3 (図 1 (a) に示す) を貫通する第 1 のコンタクトプラグ 2 3 が設けられている。

#### 【 0 0 4 2 】

図 1 (c) では、第 1 の層間絶縁膜 1 3 の図示が省略され、第 1 の層間絶縁膜 1 3 の上に設けられている部材は実線で示され、第 1 の層間絶縁膜 1 3 の下方に設けられている部材は破線で示されている。なお、第 1 の層間絶縁膜 1 3 は、4 8 0 n m の厚さで設けられている。図 1 (c) に示すように、ゲート電極 1 9 (図 1 (b) に示す) は、厚さ 2 5 0 n m の第 1 のゲート配線 2 5 と電氣的に接続されており、第 1 のゲート配線 2 5 は、抵抗 (図示せず) を介して接地電位 (図示せず) に接続されている。ソース領域 1 6 (図 1 (b) に示す) は、厚さ 2 5 0 n m の第 1 のソース配線 2 4 と電氣的に接続され、第 1 のソース配線 2 4 は、ガードバンド 2 2 の上に設けられている第 1 のコンタクトプラグ 2 3 の上を延びて、接地電位 (図示せず) に接続されている。ドレイン領域 1 7 (図 1 (b) に示す) は、厚さ 2 5 0 n m の第 1 のドレイン配線 2 6 と電氣的に接続されている。第 1 のドレイン配線 2 6 の上には、第 2 のコンタクトプラグ 2 7 が設けられている。

#### 【 0 0 4 3 】

本実施形態の半導体装置では、図 1 (c) に示すように、第 1 のゲート配線 2 5 は、ゲート電極 1 9 の上に第 1 のドレイン配線 2 6 の側面と相対向するように伸張されている。つまり、第 1 のゲート配線 2 5 が、第 1 のコンタクトプラグ 2 3 の上から接地電位に到達するまでの領域だけではなく、第 1 のドレイン配線 2 6 の側面に沿うように、あるいは囲むように設けられている。なお、第 1 のゲート配線 2 5 の一部と第 1 のドレイン配線 2 6 の一部とが並行して延びる領域を容量保持部 2 9 と呼ぶ。容量保持部 2 9 の容量値は、第 1 のゲート配線 2 5 と第 1 のドレイン配線 2 6 との対向面積および間隔によって決まる。すなわち、第 1 の

ゲート配線 2 5 と第 1 のドレイン配線 2 6 との対向面積を大きく形成したり、あるいは、第 1 のゲート配線 2 5 と第 1 のドレイン配線との間隔を狭く形成することによって、容量値の増大を図ることができる。

## 【 0 0 4 4 】

従来では、ゲート配線は、ゲートコンタクトに接続されているだけでゲート電極の上方までは伸張して形成されていないのが一般的であった。配線のレイアウトの都合により、ゲート電極の上方までゲート配線が伸張して形成されている場合、ゲート配線から第 1 のドレイン配線と第 1 のソース配線とまでの間隔（距離）は同じであった。それに対して、ゲート電極 1 9 の上方までゲート配線を伸張して形成しており、かつ、第 1 のゲート配線 2 5 から第 1 のドレイン配線 2 6 までの間隔の方が、第 1 のゲート配線 2 5 から第 1 のソース配線 2 4 までの間隔よりも狭くなっている。特に、第 1 のゲート配線 2 5 と第 1 のドレイン配線 2 6 との間隔が配線レイアウトルールの最小幅（約  $0.2 \mu\text{m}$ ）まで小さく形成されている場合には、より大きな値の容量を保持することができる。

## 【 0 0 4 5 】

なお、第 1 のゲート配線 2 5 と第 1 のドレイン配線 2 6 との間の間隔を縮めるために、第 1 のゲート配線 2 5 の幅を広くしてもよいし、第 1 のドレイン配線の幅を広くしてもよい。

## 【 0 0 4 6 】

図 1（d）において、第 2 の層間絶縁膜 1 4 の図示は省略され、第 2 の層間絶縁膜 1 4 の上に設けられている部材は実線で示され、第 2 の層間絶縁膜 1 4 の下方に設けられている部材は破線で示されている。なお、第 2 の層間絶縁膜 1 4 は、 $700 \text{ nm}$  の厚さで設けられている。第 1 のドレイン配線 2 6（図 1（c）に示す）は、厚さ  $340 \text{ nm}$  の第 2 のドレイン配線 2 8 と電氣的に接続され、第 2 のドレイン配線 2 8 は、入出力パッド（図示せず）と内部回路（図示せず）へと接続されている。

## 【 0 0 4 7 】

次に、本実施形態の半導体装置の製造方法について、図 2（a）～（e）を参照しながら説明する。図 2（a）～（e）は、第 1 の実施形態の半導体装置の製

造工程を示す断面図である。

【 0 0 4 8 】

まず、図 2 ( a ) に示す工程で、通常の N 型 M I S F E T の製造工程により、半導体基板 1 1 に素子分離 2 1 および p 型拡散層からなるガードバンド 2 2 を形成し、半導体基板 1 1 の素子形成領域 R r には、ソース領域 1 6、ドレイン領域 1 7、ゲート絶縁膜 1 8、ゲート電極 1 9、サイドウォールスペーサ 2 0 からなる N 型 M I S F E T 1 2 を形成する。

【 0 0 4 9 】

次に、図 2 ( b ) に示す工程で、C V D 法等により、N 型 M I S F E T 1 2 の上に B P S G (Boron-Phospho Silicate Glass) 膜からなる第 1 の層間絶縁膜 1 3 を堆積し、CMP 処理により、第 1 の層間絶縁膜 1 3 の表面を平坦化する。次いで、フォトリソグラフィ技術とドライエッチング技術により、第 1 の層間絶縁膜 1 3 を貫通するコンタクトホールを形成する。その後、コンタクトホールにタングステン (W) を埋め込み、CMP 処理によって表面を平坦化することにより、第 1 のコンタクトプラグ 2 3 を形成する。第 1 のコンタクトプラグ 2 3 として、ソース領域 1 6、ドレイン領域 1 7、ゲート電極 1 9 およびガードバンド 2 2 に到達するものを設ける。

【 0 0 5 0 】

次に、図 2 ( c ) に示す工程で、スパッタリングによりアルミニウム等の配線材料からなる導体膜を堆積する。フォトリソグラフィ技術とドライエッチング技術によって導体膜をパターニングすることにより、図 1 ( c ) に示すようなレイアウトパターンの第 1 のゲート配線 2 5、第 1 のソース配線 2 4 および第 1 のドレイン配線 2 6 を形成する。このとき、第 1 のゲート配線 2 5 の一部と第 1 のドレイン配線 2 6 の一部とが容量保持部 2 9 となる。

【 0 0 5 1 】

次に、図 2 ( d ) に示す工程で、C V D 法等を用いて第 1 の層間絶縁膜 1 3 の上に F S G (Fluorinated Silicate Glass) 膜を堆積して、CMP 法によって平坦化することにより、第 2 の層間絶縁膜 1 4 を形成する。次いで、フォトリソグラフィ技術とドライエッチング技術により、第 2 の層間絶縁膜 1 4 を貫通するコ

ンタクトホールを形成する。その後、コンタクトホールにタングステンを埋め込み、CMP処理によって表面を平坦化することにより、第2のコンタクトプラグ27を形成する。

#### 【0052】

次に、図2（e）に示す工程で、スパッタリングによりアルミニウム等の配線材料からなる導体膜を堆積する。フォトリソグラフィ技術とドライエッチング技術によって導体膜をパターニングすることにより、図1（d）に示すようなレイアウトパターンの第2のドレイン配線28を形成する。その後、CVD法等によって、第2の層間絶縁膜14の上にFSGからなる第3の層間絶縁膜15（図1（a）に示す）を形成する。以上の工程により、本実施形態の半導体装置が完成する。

#### 【0053】

本実施形態では、第1のゲート配線25が第1のゲート電極19の上方まで伸張して形成されており、第1のゲート配線25と第1のドレイン配線26が、狭い間隔を保ちつつ並行して形成されている。これにより、従来の半導体装置よりもゲートドレイン間容量が大きくなるので、トリガ電圧の値を低下させることができる。以下に、その理由について説明する。

#### 【0054】

N型MISFET12のドレイン領域17は、ゲート電極19の端部とオーバーラップするように形成されているため、ゲートドレイン間には容量が存在する。容量が形成された状態でドレイン領域17に静電気による正の過剰電圧が印加されると、容量に基づく充放電電流が、ゲート電極19を介して接地電位（図示せず）へ瞬間的に流れる。このとき、図9に示す抵抗98に充放電電流が流れることにより、ゲート電極19の電位が上昇する。本実施形態の半導体装置では、ゲートドレイン間に保持されている容量が従来よりも多いので、ゲート電極19の電位がより大きく上昇し、ドレインソース間に流れる電流がより大きくなり、衝突イオン化が促進される。これにより、図9に示す基板電流103が大きくなるのでベース102の電位が上昇しやすくなり、トリガ電圧が低下して寄生バイポーラトランジスタが導通しやすくなる。

## 【 0 0 5 5 】

以上のように、本発明では、N型MISFET12のゲートドレイン間容量を大きくすることにより、スナップバック特性のトリガ電圧を従来よりも低下させることができる。このことから、内部回路に大きな静電気が加わることにより不具合が生じるのを阻止することができる。

## 【 0 0 5 6 】

## (第2の実施形態)

第2の実施形態では、第1の実施形態を変形した形態について説明する。

## 【 0 0 5 7 】

図3は、第2の実施形態の半導体装置の構造を示す断面図である。本実施形態の半導体装置のうちで第1の実施形態と異なるのは、第1のゲート配線30および第1のドレイン配線31が、従来よりも厚い膜厚を有している点である。これにより、第1のゲート配線30および第1のドレイン配線31の膜厚は、第2のドレイン配線28よりも厚くなっている。これは、従来の半導体装置において、微細なサイズの素子(MISFET)と外部とを接続するために、第1のドレイン配線よりも第2のドレイン配線の膜厚が厚く設けられているのと対照的である。なお、本実施形態の第1のドレイン配線31およびゲート配線30は500nm以上700nm以下の膜厚を有することが特に好ましく、この場合には、他の層などに不具合を与えることなく、より大きな容量を保持することができる。

## 【 0 0 5 8 】

本実施形態の平面的なレイアウトは、第1の実施形態における図1(b)、図1(c)、図1(d)に示したものと同様であるので、図示および説明を省略する。

## 【 0 0 5 9 】

次に、本実施形態の半導体装置の製造方法について、図4(a)～(e)を参照しながら説明する。図4(a)～(e)は、第2の実施形態の半導体装置の製造工程を示す断面図である。ここで、本実施形態の半導体装置の平面的なレイアウトパターンは第1の実施形態と同様であるので、図1(b)～(d)も参照する。

## 【 0 0 6 0 】

まず、図 4 ( a ) に示す工程で、通常の M I S F E T の製造工程により、半導体基板 1 1 に素子分離 2 1 および p 型拡散層からなるガードバンド 2 2 を形成し、半導体基板 1 1 の素子形成領域 R r には、ソース領域 1 6、ドレイン領域 1 7、ゲート絶縁膜 1 8、ゲート電極 1 9、サイドウォールスペーサ 2 0 からなる N 型 M I S F E T 1 2 を形成する。

## 【 0 0 6 1 】

次に、図 4 ( b ) に示す工程で、C V D 法等により、N 型 M I S F E T 1 2 の上に B P S G 膜からなる第 1 の層間絶縁膜 1 3 を堆積し、CMP 処理により、第 1 の層間絶縁膜 1 3 の表面を平坦化する。次いで、フォトリソグラフィ技術とドライエッチング技術により、第 1 の層間絶縁膜 1 3 を貫通するコンタクトホールを形成する。その後、コンタクトホールにタングステン ( W ) を埋め込み、CMP 処理によって表面を平坦化することにより、第 1 のコンタクトプラグ 2 3 を形成する。第 1 のコンタクトプラグ 2 3 として、ソース領域 1 6、ドレイン領域 1 7、ゲート電極 1 9 およびガードバンド 2 2 に到達するものを設ける。

## 【 0 0 6 2 】

次に、図 4 ( c ) に示す工程で、スパッタリングによりアルミニウム等の配線材料からなる厚さ 5 0 0 n m の導体膜を堆積する。フォトリソグラフィ技術とドライエッチング技術によって導体膜をパターニングすることにより、図 1 ( c ) に示すような平面的なレイアウトパターンを有する第 1 のゲート配線 3 0、第 1 のソース配線 3 2 および第 1 のドレイン配線 3 1 を形成する。このとき、第 1 のゲート配線 3 0 の一部と第 1 のゲート配線 3 0 の一部とは容量保持部 3 3 となり、容量保持部 3 3 において、第 1 のゲート配線 3 0 の側面と第 1 のドレイン配線 3 1 の側面とが対向する面積は第 1 の実施形態よりも大きくなる。

## 【 0 0 6 3 】

なお、図 4 ( c ) に示す工程では、第 1 のドレイン配線 3 1、第 1 のゲート配線 3 0 および第 1 のドレイン配線 3 1 は、同一の導体膜からパターニングされて形成されている。そのため、第 1 のソース配線 3 2 も従来よりも厚く形成されているもよい。

## 【 0 0 6 4 】

次に、図 4 (d) に示す工程で、CVD 法等を用いて第 1 の層間絶縁膜 1 3 の上に FSG 膜を堆積して、CMP 法によって平坦化することにより、第 2 の層間絶縁膜 1 4 を形成する。次いで、フォトリソグラフィ技術とドライエッチング技術により、第 2 の層間絶縁膜 1 4 を貫通するコンタクトホールを形成する。その後、コンタクトホールにタングステンを埋め込み、CMP 処理によって表面を平坦化することにより、第 2 のコンタクトプラグ 2 7 を形成する。

## 【 0 0 6 5 】

次に、図 4 (e) に示す工程で、スパッタリングによりアルミニウム等の配線材料からなる厚さ 3 4 0 n m の導体膜を堆積する。フォトリソグラフィ技術とドライエッチング技術によって導体膜をパターンングすることにより、図 1 (d) に示すような平面的なレイアウトパターンを有する第 2 のドレイン配線 2 8 を形成する。その後、CVD 法等によって、第 2 の層間絶縁膜 1 4 の上に FSG からなる第 3 の層間絶縁膜 1 5 (図 3 (a) に示す) を形成する。以上の工程により、本実施形態の半導体装置が完成する。

## 【 0 0 6 6 】

本実施形態では、第 1 の実施形態と同様の効果を得ることができる。さらに、本実施形態における第 1 のドレイン配線 3 1 となる導体膜の厚さは、従来の半導体装置における第 1 のドレイン配線となる導体膜の厚さ (2 5 0 n m 程度) および第 2 のドレイン配線となる導体膜の厚さ (3 4 0 n m 程度) よりも厚く形成されている。これにより、第 1 の実施形態よりも、さらにゲートドレイン間の容量が大きくなるので、より効果的に、スナップバック特性のトリガ電圧を低下させることができる。

## 【 0 0 6 7 】

## (第 3 の実施形態)

第 3 の実施形態では、第 1 の配線に加えて、第 2 の配線によってもゲートドレイン間の容量を保持する形態について説明する。

## 【 0 0 6 8 】

まず、本実施形態の半導体装置について、図 5 (a) ~ (d) を参照しながら



説明する。本実施形態の半導体装置では、N型MISFET 4 2を有する半導体基板 4 1の上に、第1の層間絶縁膜 4 3、第2の層間絶縁膜 4 4および第3の層間絶縁膜 4 5が設けられている。この半導体装置において、図 5 (a)は第1の層間絶縁膜の上に設けられた配線のレイアウトを示す平面図であり、図 5 (b)は第2の層間絶縁膜の上に設けられた配線のレイアウトを示す平面図であり、図 5 (c)は半導体装置の(A) - (A)線に沿った構造を示す断面図であり、図 5 (d)は半導体装置のうちで(A) - (A)線と垂直に交わる(B) - (B)線に沿った構造を示す断面図である。なお、図 5 (a) ~ (d)においては、入出力パッドと内部回路の図示を省略している。

## 【 0 0 6 9 】

第3の実施形態において、第1の実施形態と異なるのは、第1のゲート配線 5 5が第2のコンタクトプラグ 5 7を介して第2のゲート配線 6 0へ接続されており、第2のゲート配線 6 0は第2のドレイン配線 5 8と並行かつ近接して形成されている点である。以下に、具体的な構造について述べるが、第1の実施形態と同様の構造については説明を省略する。

## 【 0 0 7 0 】

図 5 (a)に示すように、第1の層間絶縁膜 4 3 (図 5 (c)に示す)の上には、厚さ 2 5 0 n mの第1のソース配線 5 4と、第1のゲート配線 5 5と、第1のドレイン配線 5 6とが形成されている。第1のソース配線 5 4は、ソース領域 4 6 (図 5 (c)に示す)の上から、ガードバンド 5 2の上に設けられている第1のコンタクトプラグ 5 3の上を延びて、接地電位 (図示せず)に接続されている。第1のゲート配線 5 5は、ゲート電極 4 9 (図 5 (c)に示す)の上に設けられ、抵抗 (図示せず)を介して接地電位 (図示せず)に接続されている。第1のドレイン配線 5 6はドレイン領域 4 7 (図 5 (c)に示す)の上に設けられ、その側方を第1のゲート配線 5 5によって囲まれている。

## 【 0 0 7 1 】

図 5 (b)に示すように、第2の層間絶縁膜 4 4の上には、素子形成領域  $R_r$ を覆ってゲート長方向に延びる第2のドレイン配線 5 8と、第2のドレイン配線 5 8の側方に沿って延びる第2のゲート配線 6 0とが設けられている。

## 【 0 0 7 2 】

半導体基板 4 1 の上に設けられたゲート電極 4 9 は、図 5 ( c ) に示すように、第 1 のコンタクトプラグ 5 3 を介して第 1 のゲート配線 5 5 と接続されている。第 1 のゲート配線 5 5 は、図 5 ( d ) に示すように、第 2 のコンタクトプラグ 5 7 を介して第 2 のゲート配線 6 0 と接続されている。

## 【 0 0 7 3 】

半導体基板 4 1 内に設けられたソース領域 4 6 は、図 5 ( c ) に示すように、第 1 のコンタクトプラグ 5 3 を介して第 1 のソース配線 5 4 に接続されている。

## 【 0 0 7 4 】

半導体基板 4 1 内に設けられたドレイン領域 4 7 は、図 5 ( c ) に示すように、第 1 のコンタクトプラグ 5 3、第 1 のドレイン配線 5 6 および第 2 のコンタクトプラグ 5 7 を介して、第 2 のドレイン配線 5 8 に接続されている。

## 【 0 0 7 5 】

次に、本実施形態の半導体装置の製造方法について、図 6 ( a ) ～ ( e ) を参照しながら説明する。図 6 ( a ) ～ ( e ) は、第 3 の実施形態の半導体装置の製造工程を示す、( B ) - ( B ) 線に沿った断面図である。

## 【 0 0 7 6 】

まず、図 6 ( a ) に示す工程で、通常の N 型 M I S F E T の製造工程により、半導体基板 4 1 に素子分離 5 1 および p 型拡散層からなるガードバンド 5 2 を形成し、半導体基板 4 1 の素子形成領域 R r には、ドレイン領域 4 7 を含む N 型 M I S F E T 4 2 ( 図 5 ( c ) に示す ) を形成する。

## 【 0 0 7 7 】

次に、図 6 ( b ) に示す工程で、C V D 法等により、半導体基板 4 1 の上に B P S G 膜からなる第 1 の層間絶縁膜 4 3 を堆積し、CMP 処理により、第 1 の層間絶縁膜 4 3 の表面を平坦化する。次いで、フォトリソグラフィ技術とドライエッチング技術により、第 1 の層間絶縁膜 4 3 を貫通するコンタクトホールを形成する。その後、コンタクトホールにタングステン ( W ) を埋め込み、CMP 処理によって表面を平坦化することにより、第 1 のコンタクトプラグ 5 3 を形成する。第 1 のコンタクトプラグ 5 3 として、図 5 ( c ) に示すソース領域 4 6、ドレ

イン領域 4 7、ゲート電極 4 9 およびガードバンド 5 2 に到達するものを設ける。

#### 【 0 0 7 8 】

次に、図 6 (c) に示す工程で、スパッタリングによりアルミニウム等の配線材料からなる導体膜を堆積する。フォトリソグラフィ技術とドライエッチング技術によって導体膜をパターニングすることにより、図 5 (a) に示すようなレイアウトパターンの第 1 のゲート配線 5 5、第 1 のドレイン配線 5 6 および第 1 のソース配線 5 4 を形成する。

#### 【 0 0 7 9 】

次に、図 6 (d) に示す工程で、CVD 法等を用いて第 1 の層間絶縁膜 4 3 の上に FSG 膜を堆積して、CMP 法によって平坦化することにより、第 2 の層間絶縁膜 4 4 を形成する。次いで、フォトリソグラフィ技術とドライエッチング技術により、第 2 の層間絶縁膜 4 4 を貫通するコンタクトホールを形成する。その後、コンタクトホールにタングステンを埋め込み、CMP 処理によって表面を平坦化することにより、第 2 のコンタクトプラグ 5 7 を形成する。第 2 のコンタクトプラグ 5 7 として、第 1 のゲート配線 5 5 および第 1 のドレイン配線 5 6 に到達するものを設ける。

#### 【 0 0 8 0 】

次に、図 6 (e) に示す工程で、スパッタリングによりアルミニウム等の配線材料からなる導体膜を堆積する。フォトリソグラフィ技術とドライエッチング技術によって導体膜を成形することにより、図 5 (b) に示すようなレイアウトパターンを有する第 2 のゲート配線 6 0 および第 2 のドレイン配線 5 8 を形成する。以上の工程により、本実施形態の半導体装置が完成する。

#### 【 0 0 8 1 】

本実施形態では、第 1 のゲート配線 5 5 と第 1 のドレイン配線 5 6 との間だけでなく、第 2 のゲート配線 6 0 と第 2 のドレイン配線 5 8 との間でも容量を保持することができる。したがって、効果的にスナップバック特性のトリガ電圧を低下させることができる。このことから、内部回路に大きな静電気が加わることにより不具合が生じるのを阻止することができる。

## 【 0 0 8 2 】

## (第 4 の実施形態)

第 4 の実施形態では、第 3 の実施形態を変形した形態について説明する。本実施形態の半導体装置の配線の平面的なレイアウトは第 3 の実施形態のレイアウトと同様であるので図示および説明を省略し、断面構造について図 7 (a), (b) を参照しながら説明する。図 7 (a), (b) は、第 4 の実施形態の半導体装置において、(A) - (A) 線, (B) - (B) 線 (図 5 (a), (b) に示す) に沿った構造を示す断面図である。

## 【 0 0 8 3 】

本実施形態のうちで第 3 の実施形態と異なるのは、図 7 (a), (b) に示すように、第 3 層目の絶縁膜として高誘電体絶縁膜 7 1 が設けられている点である。高誘電体絶縁膜 7 1 は、第 2 のゲート配線 6 0 および第 2 のドレイン配線 5 8 の配線間を充填している。ここで、高誘電体とは、誘電率が 5 以上の物質をいい、例えばシリコン窒化膜を用いた場合には、他の領域に大きな不具合を与えることなく、より高い容量を保持することができる。

## 【 0 0 8 4 】

図 8 は、第 4 の実施形態の構造の変形例を示す断面図である。図 8 に示すように、第 2 のゲート配線 6 0 と第 2 のドレイン配線 5 8 とによって挟まれる領域に高誘電体 7 3 が充填され、第 2 のゲート配線 6 0、第 2 のドレイン配線 5 8 および高誘電体 7 3 をを覆う絶縁膜 7 2 が設けられていてもよい。

## 【 0 0 8 5 】

図 8 に示すような高誘電体 7 3 を形成する工程を以下に説明する。まず、第 2 の層間絶縁膜 4 4 の上に、第 2 のゲート配線 6 0 および第 2 のドレイン配線 5 8 を覆うように高誘電体膜を形成する。次に、異方性のエッチングを行なう。これにより、配線層が密集して設けられている領域、つまり、第 2 のゲート配線 6 0 と第 2 のドレイン配線 5 8 とにより挟まれる領域や、第 2 のゲート配線 6 0 および第 2 のドレイン配線の側面上には、高誘電体 7 3 が残ることになる。

## 【 0 0 8 6 】

第 4 の実施形態においては、第 2 のゲート配線 6 0 と第 2 のドレイン配線 5 8

との間により大きな容量を保持することができる。したがって、スナップバック特性のトリガ電圧を、より効果的に低下させることができる。

【 0 0 8 7 】

なお、図 8 ( a ) に示す高誘電体 7 3 は、第 1 のドレイン配線 5 6 と第 1 のゲート配線 5 5 との間に設けられていてもよい。

【 0 0 8 8 】

【発明の効果】

本発明の半導体装置は、ゲートドレイン間の容量が大きくなるような配線レイアウトを備えていること、および配線間を埋める絶縁膜として高誘電体が用いられることを特徴とする。これにより、静電気による過剰電圧がドレイン領域に印加された瞬間に、ゲート電極に接続された抵抗には、ゲートドレイン間の容量に起因して、より大きな電流が流れるようになる。したがって、従来と比較して、抵抗における電圧降下がより大きくなってゲート電位の上昇が大きくなり、ドレインソース間に流れる電流が増大する。すると、衝突イオン化がいっそう促進されて基板抵抗に流れ込む基板電流が増加するため、基板抵抗により生ずる電圧降下が大きくなりベース電位が上昇する。以上のことから、トリガ電圧が低下し、寄生バイポーラトランジスタが導通しやすくなり、より確実に、内部回路を静電気から保護することができる。

【図面の簡単な説明】

【図 1】

第 1 の実施形態において、( a ) は半導体装置のレイアウトを示す断面図であり、( b ) ～ ( d ) は配線のレイアウトを示す平面図である。

【図 2】

( a ) ～ ( e ) は、第 1 の実施形態の半導体装置の製造工程を示す断面図である。

【図 3】

第 2 の実施形態の半導体装置の構造を示す断面図である。

【図 4】

( a ) ～ ( e ) は、第 2 の実施形態の半導体装置の製造工程を示す断面図であ

る。

【図 5】

第 3 の実施形態において、(a)，(b) は配線のレイアウトを示す平面図であり、(c)，(d) は、(A) - (A) 線および (B) - (B) 線に沿った構造を示す断面図である。

【図 6】

(a) ~ (e) は、第 3 の実施形態の半導体装置の製造工程を示す、(B) - (B) 線に沿った断面図である。

【図 7】

(a)，(b) は、第 4 の実施形態の半導体装置において、(A) - (A) 線、(B) - (B) 線に沿った構造を示す断面図である。

【図 8】

第 4 の実施形態の構造の変形例を示す断面図である。

【図 9】

従来において、NPN 型の寄生バイポーラトランジスタを利用した半導体装置の構成を模式的に示す断面図である。

【図 10】

スナップバック特性の電圧値と電流値との関係を示すグラフ図である。

【符号の説明】

1 1	半導体基板
1 2	N 型 M I S F E T
1 3	第 1 の層間絶縁膜
1 4	第 2 の層間絶縁膜
1 5	第 3 の層間絶縁膜
1 6	ソース領域
1 7	ドレイン領域
1 8	ゲート絶縁膜
1 9	ゲート電極
2 0	サイドウォール

2 1	素子分離
2 2	ガードバンド
2 3	第 1 のコンタクトプラグ
2 4	第 1 のソース配線
2 5	第 1 のゲート配線
2 6	第 1 のドレイン配線
2 7	第 2 のコンタクトプラグ
2 8	第 2 のドレイン配線
2 9	容量保持部
3 0	第 1 のゲート配線
3 1	第 1 のドレイン配線
3 2	第 1 のソース配線
3 3	容量保持部
4 1	半導体基板
4 2	N 型 M I S F E T
4 3	第 1 の層間絶縁膜
4 4	第 2 の層間絶縁膜
4 6	ソース領域
4 7	ドレイン領域
4 9	ゲート電極
5 2	ガードバンド
5 3	第 1 のコンタクトプラグ
5 4	第 1 のソース配線
5 5	第 1 のゲート配線
5 6	第 1 のドレイン配線
5 7	第 2 のコンタクトプラグ
5 8	第 2 のドレイン配線
6 0	第 2 のゲート配線
7 1	高誘電体絶縁膜

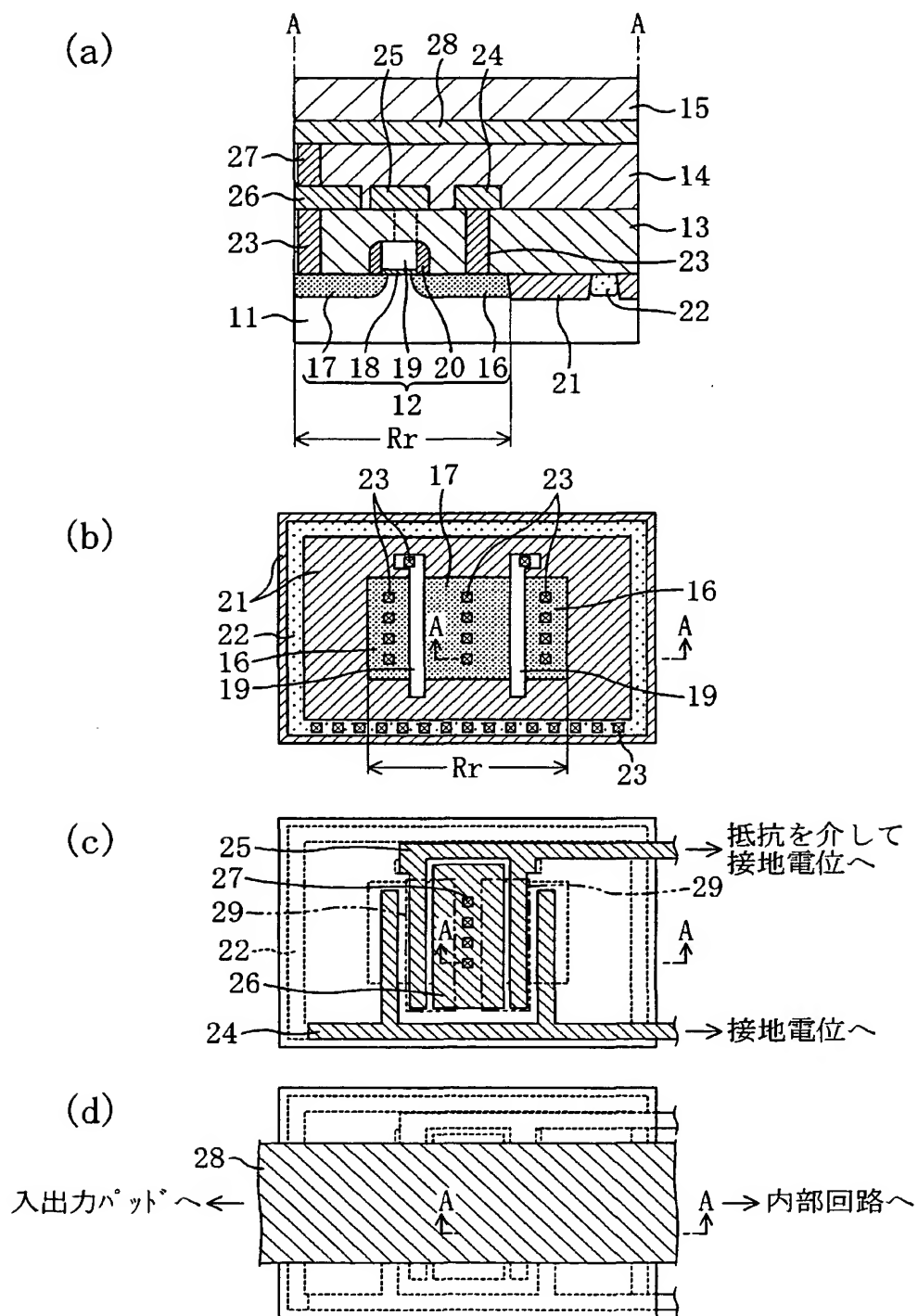
- 7 2 絶縁膜
- 7 3 高誘電体



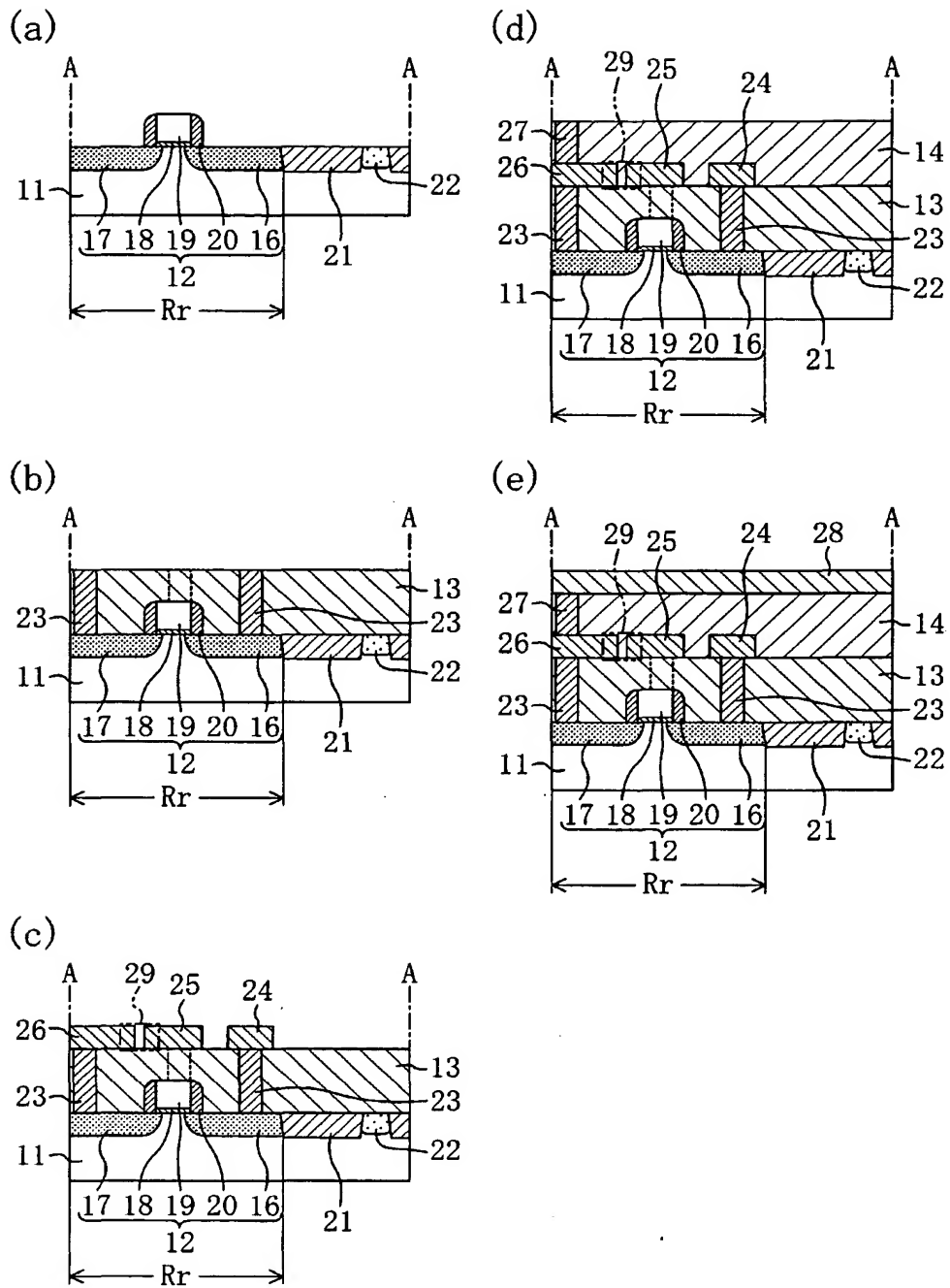
【書類名】

図面

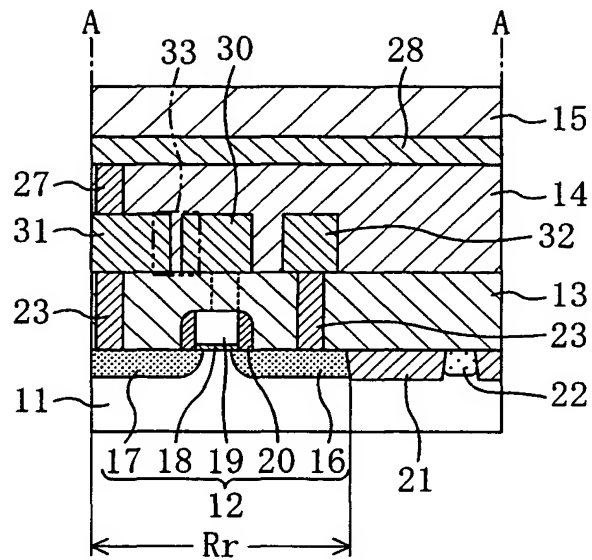
【図 1】



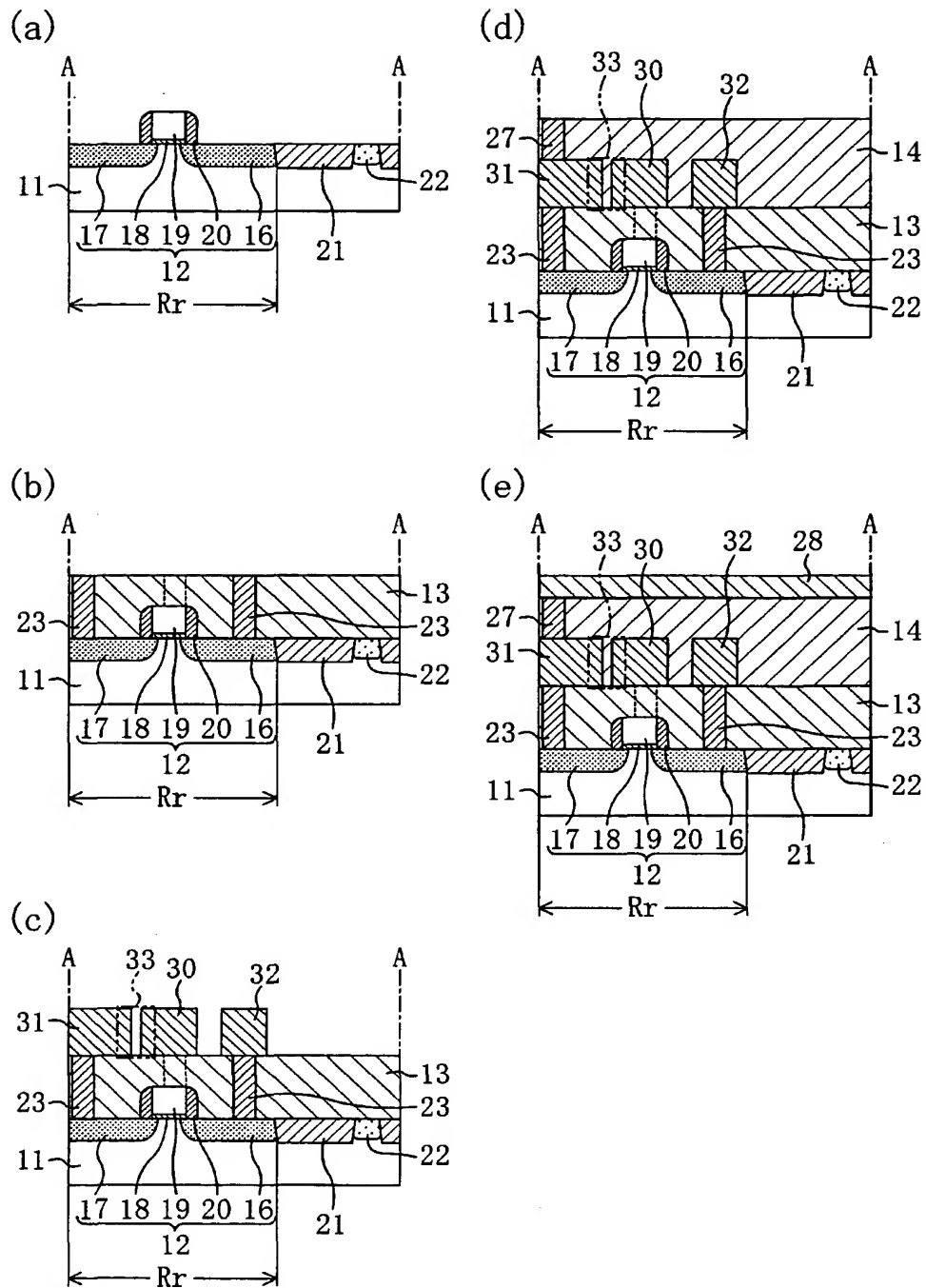
【図 2】



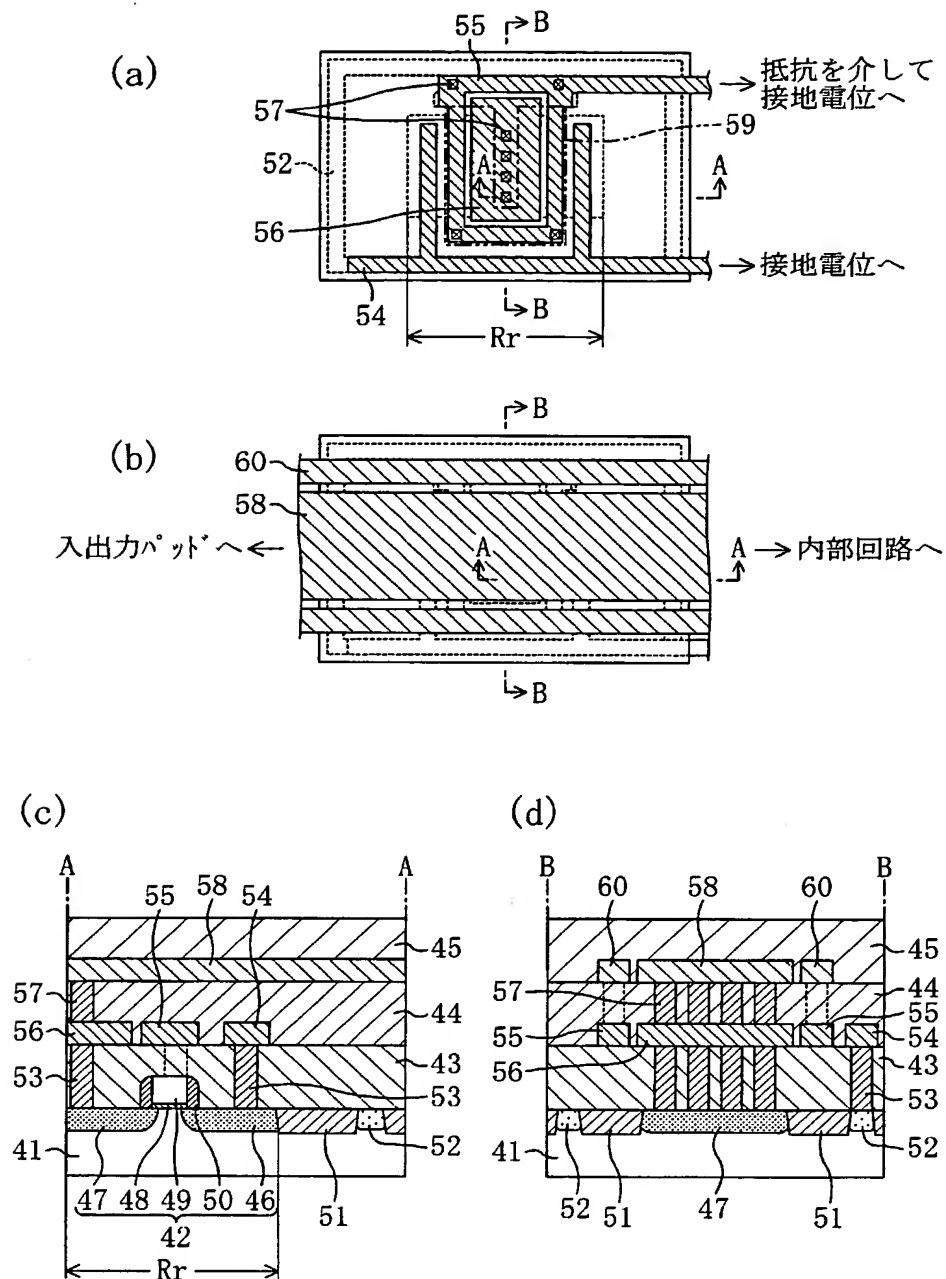
【図 3】



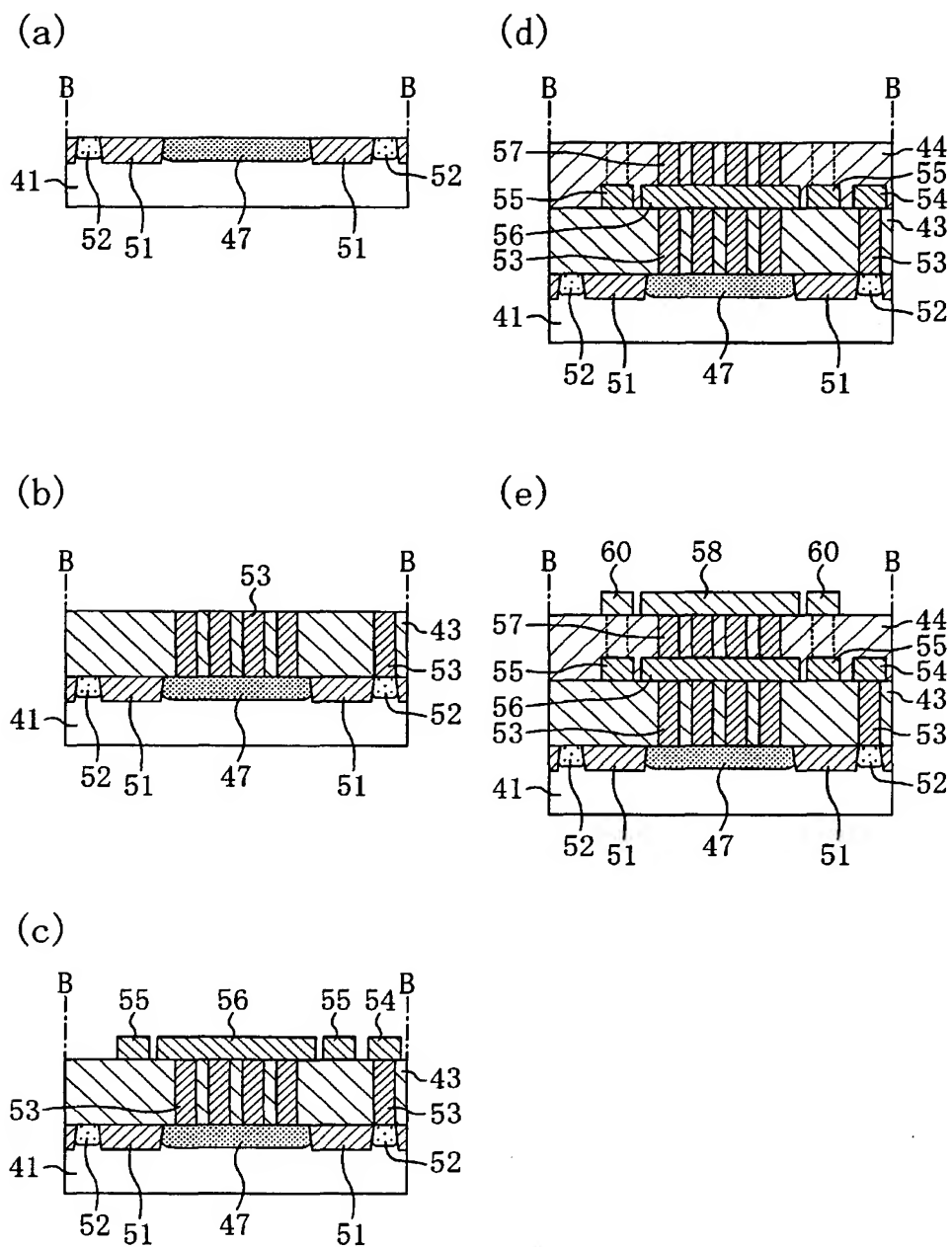
【図 4】



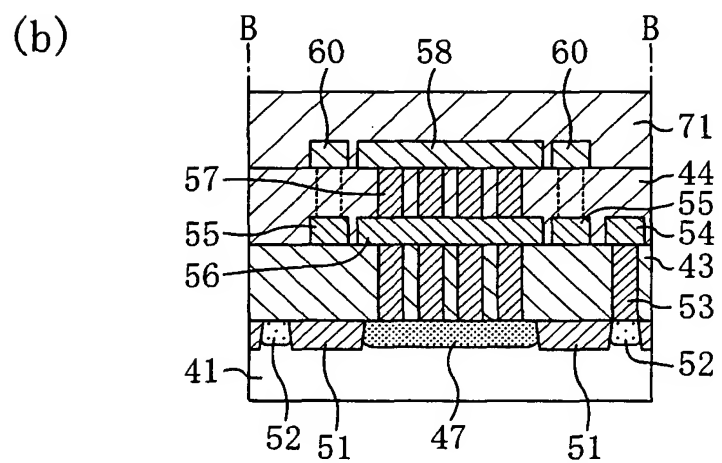
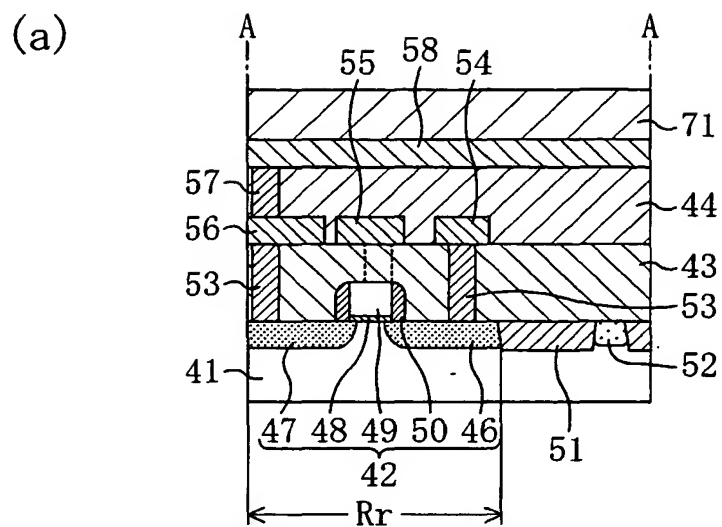
【図 5】



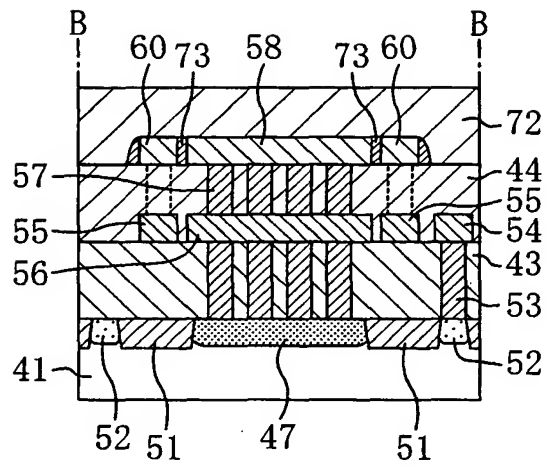
【図 6】



【圖 7】

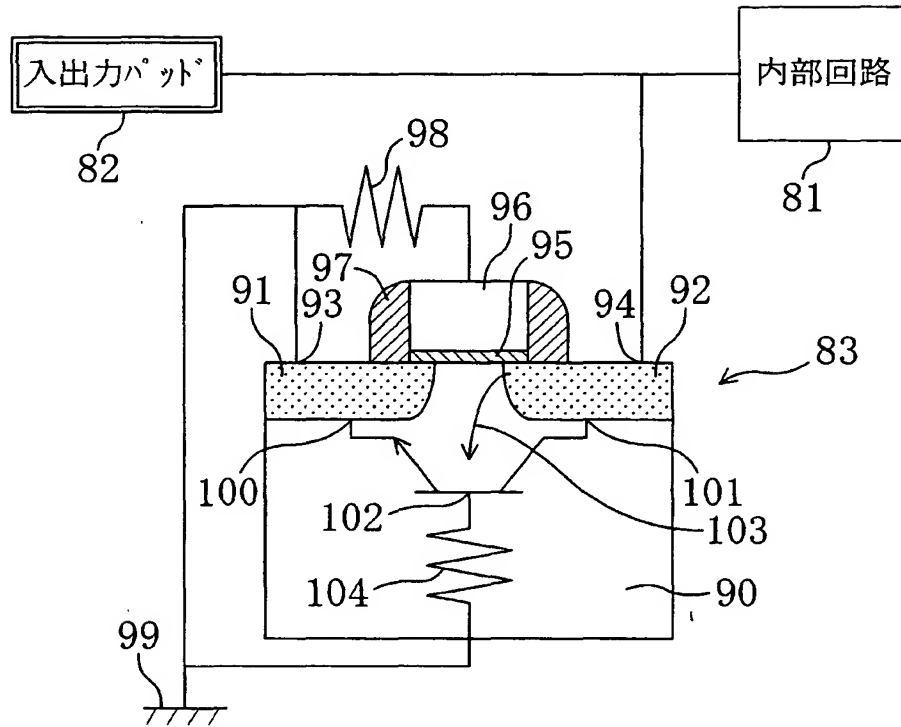


【図 8】

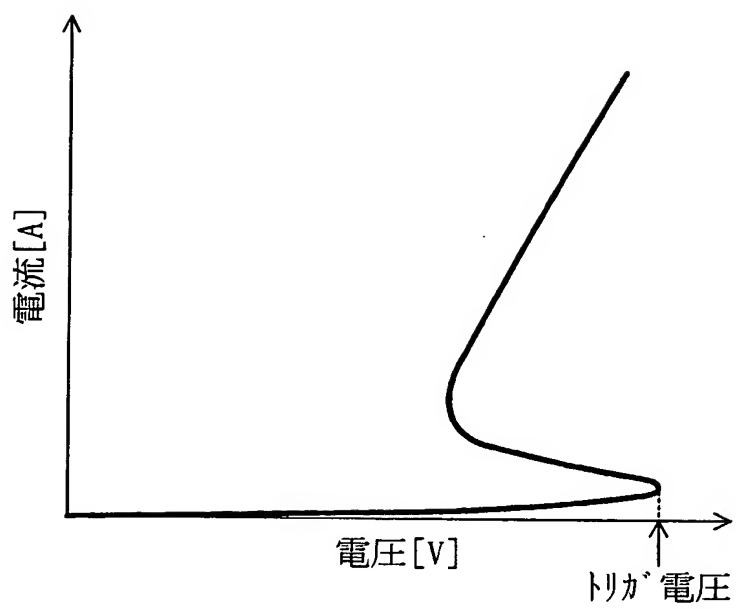




【図9】



【図 1 0】



【書類名】 要約書

【要約】

【課題】 静電保護能力の高い半導体装置およびその製造方法を提供する。

【解決手段】 本発明の半導体装置では、半導体基板 1 1 と、ソース領域 1 6 と、ドレイン領域 1 7 と、ゲート電極 1 9 とを有する N 型 M I S F E T 1 2 が設けられており、半導体基板 1 1 の上には、M I S F E T 1 2 を覆う第 1 の層間絶縁膜 1 3 と、第 2 の層間絶縁膜 1 4 と、第 3 の層間絶縁膜 1 5 とが設けられている。第 1 の層間絶縁膜 1 3 の上には、ゲート電極 1 3 と外部とを電氣的に接続するための第 1 のゲート配線 2 5 と、ドレイン領域と外部とを電氣的に接続するための第 1 のドレイン配線 2 6 とが、第 2 の層間絶縁膜 1 4 の一部を介して相対向するように設けられている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日 1 9 9 0 年 8 月 2 8 日

[ 変更理由 ] 新規登録

住 所 大阪府門真市大字門真 1 0 0 6 番地

氏 名 松下電器産業株式会社